

PAT-NO: JP355127027A
DOCUMENT-IDENTIFIER: JP 55127027 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: October 1, 1980

INVENTOR-INFORMATION:

NAME

HATTORI, TSUKASA

BABA, HIROYUKI

USUDA, OSAMU

NAKAMURA, KISAKU

HORI, AKIO

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP54034277

APPL-DATE: March 26, 1979

INT-CL (IPC): H01L021/58

US-CL-CURRENT: 438/504, 438/FOR.413

ABSTRACT:

PURPOSE: To prevent the generation of heat fatigue and the element breakage by the material constitutes a connecting part by connecting a semiconductor element on an element distributing base floor through a soldering layer made by tin and antimony as the principal ingredient.

CONSTITUTION: A semiconductor element 1 and an element distributing base

floor 2 are connected by a soldering layer 3 made by tin and antimony as the principal ingredient through nickel layers 1a and 1b. It is preferable for the soldering layer to contain antimony having the weight of 6.0 through 11.5 in percentage. In addition to the above antimony, it is also preferable for the soldering layer to contain at least either one of gold, silver, nickel or copper, wherein the weight is 2 or less in percentage. In this way, the generation of heat fatigue and element crack by heat distortion will remarkably be reduced.

COPYRIGHT: (C)1980,JPO&Japio

⑫ 公開特許公報 (A)

昭55—127027

⑤ Int. Cl.³
H 01 L 21/58

識別記号

庁内整理番号
6741—5F

④ 公開 昭和55年(1980)10月1日

発明の数 1
審査請求 有

(全 3 頁)

⑭ 半導体装置

① 特 願 昭54—34277
② 出 願 昭54(1979)3月26日
③ 発 明 者 服部 宰
姫路市余部区上余部50東京芝浦
電気株式会社姫路工場内
④ 発 明 者 馬場博之
姫路市余部区上余部50東京芝浦
電気株式会社姫路工場内
⑤ 発 明 者 薄田修

⑥ 発 明 者 中村喜作
川崎市幸区小向東芝町1東京芝
浦電気株式会社総合研究所内
⑦ 発 明 者 堀昭男
川崎市幸区小向東芝町1東京芝
浦電気株式会社総合研究所内
⑧ 出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑨ 代 理 人 弁理士 井上一男

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体素子が錫、アンチモンを主成分とする鍍層を介して素子配設台床に接合された半導体装置。

(2) 6.0ないし11.5重量パーセントのアンチモンを含む鍍層である特許請求の範囲第1項記載の半導体装置。

(3) 金、銀、ニッケル、銅の少なくとも1つを2重量パーセント以下含む鍍層である特許請求の範囲第2項記載の半導体装置。

3. 発明の詳細な説明

この発明は半導体装置にかゝり、特に半導体素子が素子配設台床に改良された鍍層にて接合され耐熱疲労にすぐれた半導体装置に関する。

一例の半導体装置の高出力用半導体装置(以下パワートランジスタと称する)の構造を第1図に斜視図示する。図において、(1)は半導体素子、(2)

は前記半導体素子をその1主面の電極にて鍍層(3)を介して接続し放熱板を兼ねる素子配設台床、(4a)(4b)(4c)はいずれも電極導出リードにて(4b)は前記素子配設台床部に接続しかつ一例のコレクタ電極を導出する。残る(4a)(4c)は半導体素子のたとえばエミッタ、コレクタの各電極を導出し、これらの電極は夫々がボンディングワイヤ(5a)(5c)にて前記(4a)(4c)にて接合される電極導出リードの端部と接続される。

こゝに前記鍍層(3)には従来、金共晶を主成分とする金—錫、金—シリコン系と、鉛を主成分とする鉛—錫系と、銅を主成分とする銅系などのはんだが用いられていた。しかし、半導体装置は動作により発生する熱サイクルの影響を受け、この素子を配設する素子配設台床と半導体素子との熱膨張率の差異によりこれらの間のろう層に歪応力が印加される。そして、接合部を構成する材料により半導体素子を破損したり、または接合部が疲労し半導体装置の信頼性を著しく阻害する。

次に従来用いられたはんだ材の欠点を列挙する。

(1)

(2)

即ち、

(a) 金共晶系はすぐれた接合材であるが、素子のチップサイズが大(2mm以上)になると熱歪でクラックしやすくなる。これを防止するため従来タングステン、モリブデンの如き低膨張率の板材を補償板として用いて応力を緩和する必要がある、はんだ材料と合わせて高価なものとなる。

(b) 鉛-錫系はんだは鉛が酸化しやすいため、マウント時に酸化しやすく、水素炉ないし非酸化性雰囲気炉内でのマウントを必要とするので、マウントのコントロールが困難で、半導体装置の動作による熱疲労にて酸化しやすく劣化を促進する。

(c) 銅を主成分とするはんだには、銅-金、銅-銀などが使用されているが、前者は半導体チップにクラックが発生しやすく、後者は熱疲労を生じやすい。

この発明は上記従来の欠点を改良する構造の半導体装置を提供するものである。

この発明にかかる半導体装置は半導体素子と素子配設台床とを接合する銀層が銅-アンチモンを

(3)

配設台床に接合する工程を断面図示するもので、第3図において、(1)は半導体素子、(1a)は電極であるめつきニッケル層、(1b)は前記ニッケル層またはその一部に層厚2000~3000Åに形成された金層、(2)は素子配設台床、(2a)は素子配設台床の半導体素子配設側面に設けられためつきニッケル層、(3)は銅-アンチモンを主成分とするブリフォームはんだ箔で一例の方形薄板状に形成されたものである。上記構成にてはんだ箔を介して半導体素子を素子配設台床に接合固着せしめて第4図に断面図示する如くなる。第4図において第3図の金層(1b)ははんだ箔の溶融によりはんだに入り合金化している。(3)ははんだ層である。また、上記はんだ層にははんだ製造における材料の含有物、半導体素子接合工程にて上記金層、めつきニッケル層、素子配設台床の銅の拡散導入等により各々2%以下にて含有される。

上記の如くなるはんだ層は銅-アンチモンを主成分とし、一例のアンチモンが重量パーセントにて6.0ないし11.5の範囲にある。これは銅-アン

(5)

主成分としたものである。

以下にこの発明を一実施例につき詳細に説明する。この発明にかかる一実施例の半導体装置は、半導体素子と素子配設台床との接合が第2図に示す如くなる。すなわち、(1)は半導体素子、(2)は素子配設台床にて半導体素子の発熱を放出するための放熱板を兼ねるため銅、またはリン青銅にて形成される。(3)は銅-アンチモンを主成分とするはんだ層で、前記半導体素子および素子配設台床とを夫々の接合側面に被着されたニッケル層(1a)(2a)にて接合する。上記はんだ層は一例の銅-アンチモンを主成分とし、アンチモンを重量パーセントで6.0ないし11.5含むことを特徴とする。さらには銅-アンチモンを主成分とし、このアンチモンが重量パーセントで6.0ないし11.5含むとともに、次に述べる接合工程にて含まれ、あるいははんだ製造過程にて原料の不純物と考えられる微量成分として金、銀、ニッケル、銅の少なくとも1つを重量パーセントにて2以下含むものである。

第3図、第4図は一実施例の半導体素子を素子

(4)

チモン系のはんだをアンチモン含有率(重量%)を3.5、5、8、9、10、11、13、15、23の9種を溶製し、これを厚さ2mm、幅10mm、長さ100mmの長方形片の中央部を長さ20mmに限り幅5mmに細めた第5図に斜視図示される形状に圧延形成し、150℃における引張強さと伸びを測定し、第6図に示す。同図の縦軸は曲線(A)に関する引張強度を単位(kg/cm²)と、曲線(B)に関する伸びを単位(%)にて夫々示し、また横軸はアンチモンの含有率を重量パーセントにて示す。図においてアンチモンの含有率(重量)6.0ないし11.5%の範囲にあるものが好適とみられる。

次に前記はんだ箔を圧延して3 ϕ ×0.1mmのブリフォームはんだベレットを作り、第1図(または第2図)の如くマウントしてパワートランジスタを作製し、温度変化 $\Delta T_c = 100^\circ$ にて熱抵抗(Bth)の変化率が1.5倍以上を不良として熱疲労試験を行ない、第7図にアンチモン量と不良発生率との関係を示した。図に見られる効果が顕著なアンチモン含有量の範囲は6.0ないし11.5重量パーセントに

(6)

あることが確認できた。

なお、この発明は熱疲労特性が特に要求されるパワートランジスタに対し顕著な効果のあることは上記実施例の如くであるが、一般の半導体装置に適用されて有効であることは云うまでもない。

4. 図面の簡単な説明

第1図はパワートランジスタの構造の要部を透視的に示す斜视图、第2図は本発明の一実施例の半導体素子と素子配設台床との接合を示す断面図、第3図および第4図は半導体素子と素子配設台床との接合を工程順に示すいずれも断面図、第5図ははんだ試験片の構造を示す斜视图、第6図ははんだ試験片による引張強さと伸びとを示す線図、第7図は熱疲労試験を示す線図である。

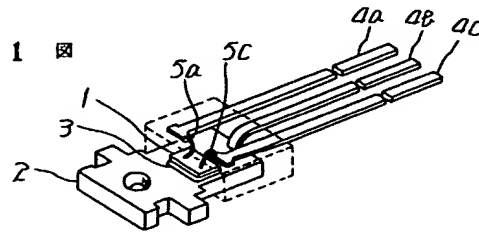
なお、図中同一符号は同一または相当部分を夫々示すものとする。

- 1 半導体素子
- 1a, 2a めつきニッケル層
- 3 錫-アンチモン系はんだ層
- 3' 錫-アンチモン系はんだ箔

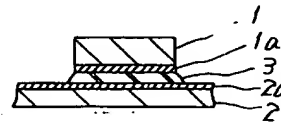
代理人 弁護士 井 上 一 男

(7)

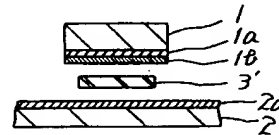
第 1 図



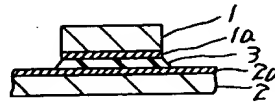
第 2 図



第 3 図



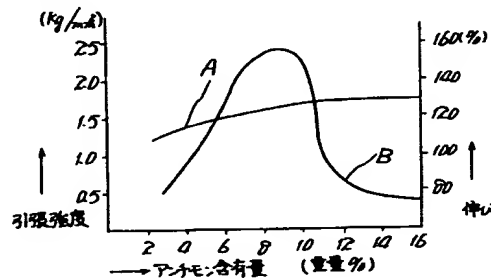
第 4 図



第 5 図



第 6 図



第 7 図

